

a multiplex SOH detecting unit which detects the multiplex SOH bytes in the second SOH of a second high-speed SDH frame without changing the line overhead and the payload of the second high-speed SDH frame when the second high-speed SDH frame reaches the transmission apparatus.

10. (currently amended) A transmission method which transmits low-speed SDH signals using a high-speed SDH frame, the transmission method comprising the steps of:

multiplexing the low-speed SDH signals into the high-speed SDH frame, the high-speed SDH frame including an information payload, a line overhead and a section overhead, the section overhead being divided into a first section overhead SOH and a second section overhead SOH, the first SOH carrying regenerator SOH bytes and the second SOH carrying multiplex SOH bytes;

generating the multiplex SOH bytes in the second SOH of the high-speed SDH frame without changing the line overhead and the payload before the high-speed SDH frame is transmitted by a transmit-side high-level line terminating equipment;

wherein said generating step includes adding stuffing bytes to the second SOH of the frame when the high-speed SDH frame is generated, the stuffing bytes being larger in number than a product of an allowed clock frequency error and a total number of line-related bytes contained in one of the low-speed SDH signals; and

detecting the multiplex SOH bytes in the second SOH of the high-speed SDH frame without changing the line overhead and the payload when the high-speed SDH frame reaches the receive-side high-level line terminating equipment.

REMARKS

Claims 3 – 10 are pending in the application. Applicant amends claims 9 and 10 with regard to informalities, and proposed an amendment to FIG. 3B. No new matter is added.

Applicant thanks the Examiner for holding interviews with Applicant on July 23, 2003 and July 25, 2003. As summarized by the Examiner in associated Interview Summaries, agreement was reached with regard to amendments to claims 9 and 10, and a proposed amendment to FIG. 3B to correct a spelling error. An Examiner's amendment as to claims 9 and 10 was mailed on August 8, 2003 as part of the Interview Summary for the interview of July 25, 2003.

In the interview of July 23, 2003, Applicant's representative and Examiner Volper discussed proposed amendments to claims 9 and 10 to better describe Applicant's claimed invention. Specifically, Examiner Volper proposed specifying a first high-speed SDH frame and second high-speed SDH frame in claim 9 to indicate distinct operations performed by Applicant's claimed multiplex SOH generating unit and multiplex SOH detecting unit, respectively. Examiner Volper also proposed a re-ordering of the limitations of each of claims 9 and 10 in order to better represent the sequence of steps in Applicant's claimed method. Examiner Volper also asked for the correction of a spelling error in FIG. 3B.

The present Amendment under 37 C.F.R. § 1.312 requests approval of a proposed amendment to FIG. 3B to correct the associated spelling error, requests approval of additional amendments to claims 9 and 10 with regard to informalities, and provides Applicant's summary of the substance of the interviews of July 23, 2003 and July 25, 2003 as required by MPEP § 713.04.

An earnest effort has been made to be fully responsive to the Examiner's objections. In view of the above amendments and remarks, it is believed that claims 3 - 10, consisting of

independent claims 9 and 10, and the claims dependent therefrom, are in condition for allowance. Passage of this case to allowance is earnestly solicited. However, if for any reason the Examiner should consider this application not to be in condition for allowance, she is respectfully requested to telephone the undersigned attorney at the number listed below prior to issuing a further Action.

Any fee due with this paper may be charged on Deposit Account 50-1290.

Respectfully submitted,

A handwritten signature in black ink, appearing to read 'TJ Bean', written over a horizontal line.

Thomas J. Bean
Reg. No. 44,528

CUSTOMER NUMBER 026304

Katten Muchin Zavis Rosenman
575 Madison Avenue
New York, NY 10022-2585
(212) 940-8729
Docket No.: FUJI 16.768 (100794-09718)
TJB:pm



FIG. 3A

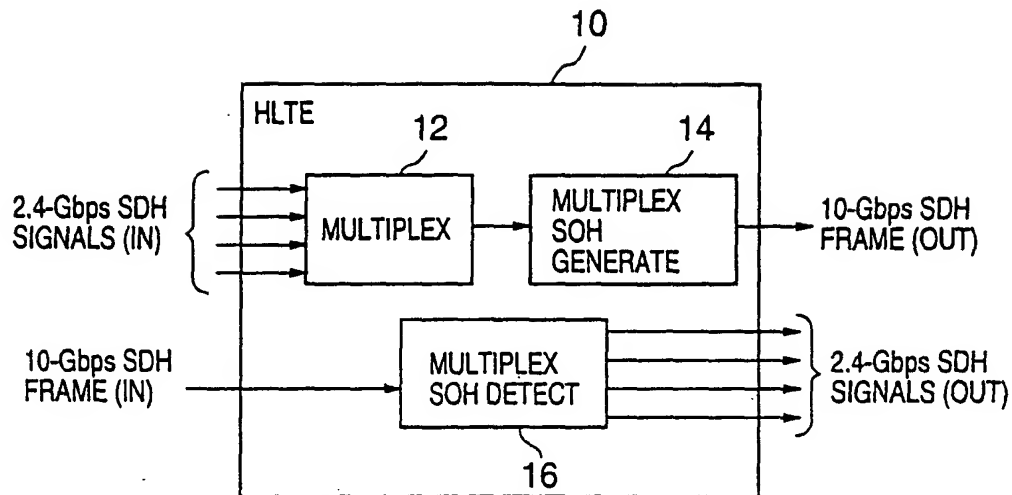
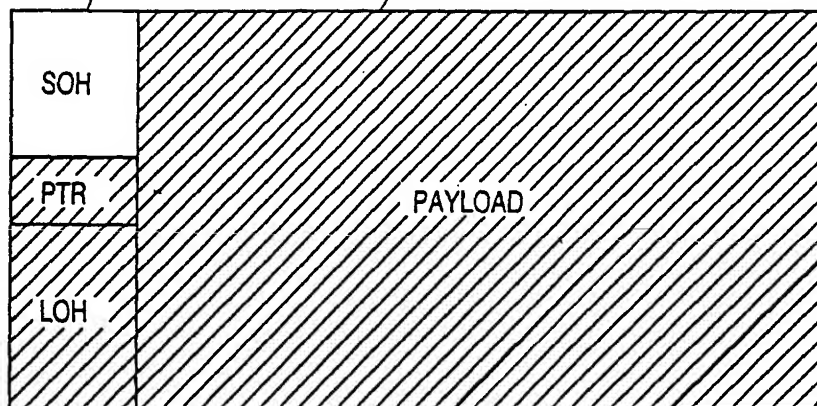


FIG. 3B

REGENERATOR

THESE BYTES INCLUDE REGENERATOR SOH BYTES AND MULTIPLEX SOH BYTES

POINTERS, LOH BYTES AND PAYLOAD ARE PASSED WITHOUT CHANGE



SONET FRAME



FIG. 3A

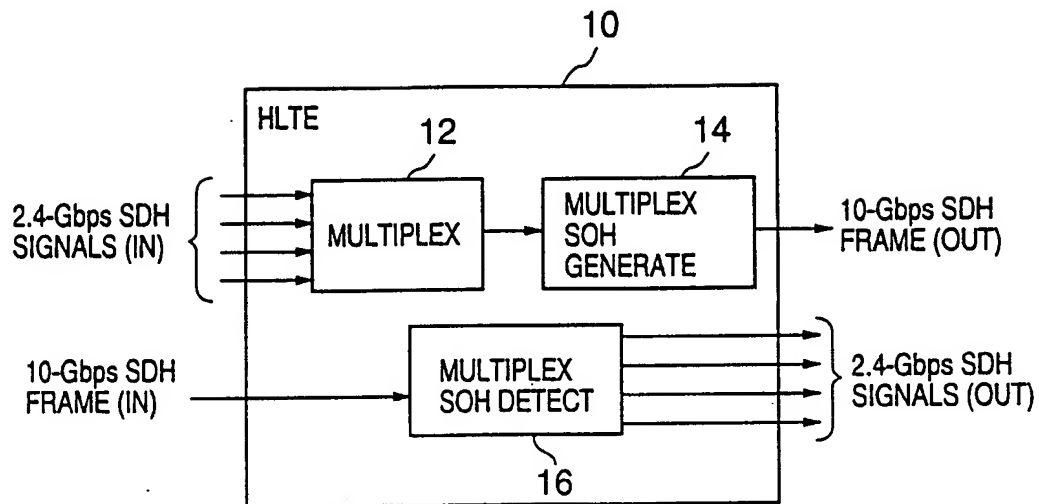
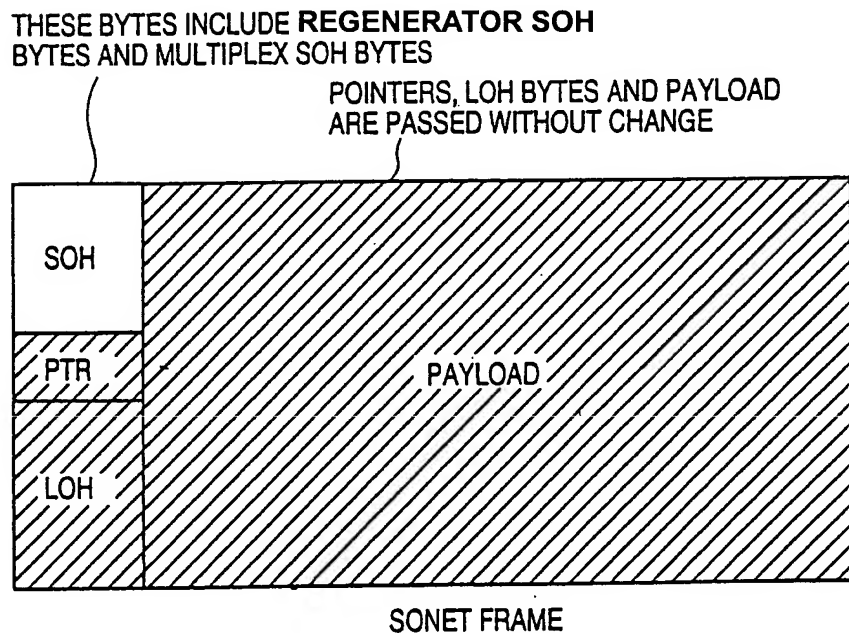


FIG. 3B



様に、電源配線から障害物を除いたパターンに対して横方向の辺を、電源配線の最小幅分だけマイナス方向、プラス方向に移動すれば、図4 (b) に示す縦方向の仮想電源配線パターン12bを抽出することができる。

【0031】図5 (a), (b) は、ステップST2中のサブステップST24において仮想パターン形成領域で抽出される仮想電源配線パターン12a, 12bとバスコンアレイ14, 15との重なりを示す平面図である。まず、図4 (a) に示す横方向の仮想電源配線パターン12aと、図3 (a) に示す横方向に整列したバスコンアレイ14中のバスコン枠13aとの積の論理演算を行ない、図5 (a) に示すように、横方向の仮想電源配線パターン12aにオーバーラップするバスコンを抽出する。また、図4 (b) に示す縦方向の仮想電源配線パターン12bと、図3 (b) に示す縦方向に整列したバスコンアレイ15中のバスコン枠13bとの積の論理演算を行ない、図5 (b) に示すように、縦方向の仮想電源配線パターン12bにオーバーラップするバスコンを抽出する。

【0032】図6 (a), (b) は、ステップST2中のサブステップST25において生成されるパターンであって、仮想パターン形成領域において各仮想電源配線パターン12a, 12bに完全に包含されるバスコン枠13a, 13bのみが残された状態を示す平面図である。サブステップST25においては、バスコン枠13a, 13bの各最小幅の半分の値をテクノロジーに定義しておき、バスコン枠13a, 13bの縮小と拡大つまりリサイズを行なうことで、微小パターンとなったバスコンパターンを消去し、各仮想電源配線パターン12a, 12bに完全に包含されるバスコン枠13a, 13bのみを残す。

【0033】なお、本実施形態では、ステップST2中のサブステップST25で、各仮想電源配線パターン12a, 12bに完全に包含されるバスコン枠13a, 13bのみを残しているが、本発明はかかる実施形態に限定されるものではない。例えば、各仮想電源配線パターン12a, 12bにポリシリコン電極8が完全に包含されるようなバスコンのみを図6 (a), (b) に示す状態で残すようにしてもよい。あるいは、バスコン枠13のうちのある一定割合が含まれているバスコンのみを残すような方法も採用できる。

【0034】次に、図7 (a) は、ステップST2中のサブステップST26で生成される半導体装置のパターンを示す平面図である。図7 (b) は、図7 (a) のVI1b-VIIb線における部分断面図である。

【0035】すなわち、図6 (a), (b) に示す各仮想電源配線パターン12a, 12bに完全に包含されるバスコン枠13a, 13bのみを、バスコンアレイを敷き詰めた半導体装置中の各電源配線5a, 5bの下に

置のパターンが得られる。

【0036】図7 (b) に部分断面構造を示すように、基板7のP_{WELL}にはP⁺型の基板コンタクト用拡散層2a, 2bが生成されており、この基板コンタクト用拡散層2a, 2bと各グランド配線1a, 1bとを接続する基板コンタクト用スルーホール3が生成されている。そして、電源配線5a, 5bの下方に、バスコンのポリシリコン電極8と、ポリシリコン電極8-電源配線5b間を互いに接続するためのバスコンスルーホール10とが生成されており、P_{WELL}にはP⁺型のバスコン拡散層9が生成されている。

【0037】なお、この段階ではバスコンの容量絶縁膜のパターンは生成されていないが、MOSトランジスタのゲート酸化膜と共通のパターンとして後に生成することができる。

【0038】次に、図8 (a) は、サブステップST27, 28によって生成される半導体装置のパターンを示す平面図、図8 (b) は図8 (a) のIIXb-IIXb線における断面構造を示す部分断面図である。サブステップST27においては、図7 (a), (b) に示す半導体装置のパターンにおいて、電源配線5a, 5b下のバスコンのバスコン拡散層9と、グランド配線1a, 1b下の基板コンタクト用拡散層2a, 2bとが共に隣接する領域(接続用拡散層11a, 11b)を、デザインルールより算出したテクノロジーに定義した数値に基づき、レイアウト検証ツール等を用いて抽出する。つまり、基板コンタクト用拡散層2a, 2bとバスコン拡散層9との距離がわからないので、両者間の距離をレイアウト検証ツールによって抽出する。そのとき、まずテクノロジーから推定される値よりも当該領域の長さを大きめに設定すると、レイアウト検証ツール等のセパレーションチェック機能により、当該領域の長さが短すぎるというエラーが出力される。そこで、このエラーデータとして生成される領域を接続用拡散層11a, 11bとして生成する。

【0039】さらに、サブステップST28において、デザインルールにより算出したテクノロジーに定義される拡散層の最小幅の半分の値で縮小と拡大を行なって微小パターンを除去することにより、図8 (a), (b) に示す半導体装置のパターンを生成することができる。

【0040】本実施形態によれば、電源配線5a, 5bのパターンの下に包含されるバスコンのパターンを自動的に生成することで、半導体チップ全体の面積を増加させることなく、電源ノイズを低減させるための容量となるバスコンを有する半導体装置のパターンを生成することができる。すなわち、半導体装置の面積を増大させる電源とグランド間にバスコンを挿入することが可能となり、電源ノイズを吸収する機能の大きい安定に動作する回路を実現することができる。

【0041】その場合、半導体装置のレイアウトつまり

導体装置のパターンを入力し、このパターンに基づいてバスコンパターンを生成しているため、一連の処理を手動ではなく自動的にこなすことが可能になる。すなわち、配線パターンが生成されていることにより、本実施形態におけるサブステップST21～ST26の処理を自動的にこなすことができるのである。この処理は、グラウンド配線1a、1b下に基板コンタクト用スルーホール3や、基板コンタクト用拡散層2a、2bがない場合であっても適用することができる。

【0042】さらに、電源配線5a、5b下のバスコン拡散層9とグラウンド配線1a、1b下に構成される基板コンタクト用拡散層2a、2bとをそれぞれ接続する接続用拡散層11a、11bを生成することにより、高抵抗な基板7よりも低い抵抗でバスコン拡散層9と基板コンタクト用拡散層2a、2bとを接続することができる。したがって、電源とグラウンド間のインピーダンスを低くすることで、高周波動作による不要輻射ノイズをより効果的に低減することができる。

【0043】また、横方向の電源配線5aの下方には横方向に整列したバスコンアレイ14中のバスコンを配置し、縦方向の電源配線5bの下方には縦方向に整列したバスコンアレイ15中のバスコンを配置することにより、サブステップ27、28における接続用拡散層11a、11bの生成が容易となる利点がある。

【0044】ただし、電源配線5a、5bの延びる方向と、その電源配線5a、5bの下に生成されるバスコンのポリシリコン電極8の延びる方向とを必ず一致させる必要はない。特に、サブステップST24において、サブステップST27、28で生成される接続用拡散層2a、2bの幅が最大になる方向にバスコンを回転させて配置することにより、より低い抵抗でバスコンをグラウンド配線1a、1bに接続することができる。

【0045】(第2の実施形態) 図9(a)は、本発明の第2の実施形態におけるパターンの生成方法によって生成された半導体装置のパターンを示す平面図である。図9(b)は、図9(a)のIXb-IXb線における部分断面図である。

【0046】図9(a)、(b)に示すように、本実施形態における半導体装置のセルや配線の構造は、上記第1の実施形態における図8(a)、(b)に示す半導体装置の構造と同じであるが、下記点が異なる。

【0047】本実施形態の半導体装置においては、図9(a)、(b)に示すように、バスコンのポリシリコン電極8はいずれも同図の縦方向に延びている。そして、縦方向のグラウンド配線1b下の基板コンタクト用拡散層2bと縦方向の電源配線5b下のバスコン拡散層9とを接続する接続用拡散層11bは、第1の実施形態と同様のパターンを有している。一方、横方向のグラウンド配線1a下の基板コンタクト用拡散層2aと横方向の電源配線5a下のバスコン拡散層9とを接続する接続用拡散層

11aは、1つのバスコンのポリシリコン電極8の両側のバスコン拡散層9につながっている。

【0048】本実施形態においても、パターン形成のための基本的な手順は、図1のフローチャートに示す通りであって、具体的には以下の手順による。

【0049】本実施形態においては、サブステップST21において図3(b)に示すバスコンアレイ15のみを使用し、サブステップST23においては、図4

(a)、(b)に示す横方向の仮想電源配線パターン12aと縦方向の仮想電源配線パターン12bとを一度に仮想パターン形成領域に生成する。そして、図5

(a)、(b)に示す論理演算の代わりに、各仮想電源配線パターン12a、12bとバスコンアレイ15との論理演算を行なうことにより、図6(a)、(b)に示すパターンの代わりに、各仮想電源配線パターン12a、12bに包含されるバスコン枠13bを生成する。これにより、サブステップST26において、電源配線5a、5bの延びる方向に拘わらずポリシリコン電極8の延びる方向が一律であるバスコンが各電源配線5a、5bの下方に配置された半導体装置のパターンを生成する。そして、サブステップST27、28の処理においては、縦方向のグラウンド配線1b下の基板コンタクト用拡散層2bと縦方向の電源配線5b下のバスコン拡散層9とを接続する接続用拡散層11bは、第1の実施形態と同様にして生成することができる。一方、横方向のグラウンド配線1a下の基板コンタクト用拡散層2aと横方向の電源配線5a下のバスコン拡散層9とを接続する接続用拡散層11aは、1つのバスコンのポリシリコン電極8の両側のバスコン拡散層9につながるように生成する。

【0050】このように、共通の方向に延びるポリシリコン電極8を有するバスコンを各電源配線5a、5bの下方に配置する処理を行なうことにより、サブステップST23における各仮想電源配線12a、12bを生成する際に、横方向の電源配線5aか縦方向の電源配線5bかを識別して個別に抽出する必要がないので、サブステップST23の処理を簡素化することができる。

【0051】(第3の実施形態) 図10(a)は、本発明の第3の実施形態におけるパターンの生成方法によって生成された半導体装置のパターンを示す平面図である。図10(b)は、図10(a)のXb-Xb線における部分断面図である。

【0052】本実施形態においては、半導体領域である基板7と逆導電型のMOSトランジスタをバスコンとして形成する場合について説明する。図10(a)、(b)に示すように、本実施形態における半導体装置のセルや配線の構造は、上記第1の実施形態における図8(a)、(b)に示す半導体装置の構造と同じであるが、下記点が異なる。

【0053】本実施形態の半導体装置においては、PWE

LLの上に、P+型の基板コンタクト用拡散層2a、2bと、N+型のバスコン拡散層9とが設けられている。このような場合には、バスコン形成拡散層9と基板コンタクト用拡散層2a、2bと導電型が逆であるので、PN接合部が存在することにより、そのままでは両者間の電気的接続が不良となるおそれがある。そこで、本実施形態においては、以下に説明するように、バスコン形成拡散層9と基板コンタクト用拡散層2a、2bとの間の電気的接続をサリサイドプロセスによって実現している。

【0054】本実施形態におけるパターン形成の手順は、接続用拡散層を生成するサブステップST27、28においてサリサイドプロセスを採用する点を除くと、第1の実施形態における図1のフローチャートと基本的には同じである。

【0055】本実施形態においては、サブステップST21において図3(a)、(b)に示す2種類のバスコンアレイ14、15を用い、サブステップST23において図4(a)、(b)に示す横方向の仮想電源配線パターン12aと縦方向の仮想電源配線パターン12bとを個別に仮想パターン形成領域に抽出する点は、第1の実施形態と同じである。しかし、サブステップST24における論理演算においては、図5(a)、(b)に示す論理演算の代わりに、横方向の仮想電源配線パターン12aと縦方向のバスコンアレイ15との論理演算を行い、縦方向の仮想電源配線パターン12bと横方向のバスコンアレイ14との論理演算を行なう。これにより、図6(a)、(b)に示すパターンの代わりに、横方向の仮想電源配線パターン12aに包含されるバスコン枠13bと、縦方向の仮想電源配線パターン12bに包含されるバスコン枠13aとを生成する。そして、サブステップST26においては、横方向の電源配線5aの下方には縦方向に延びるポリシリコン電極8を有するバスコンが配置され、縦方向の電源配線5bの下方には横方向に延びるポリシリコン電極8を有するバスコンが配置された半導体装置のパターンを生成する。

【0056】さらに、サブステップST27、28の処理においては、横方向の電源配線5a下のバスコン拡散層9と基板コンタクト用拡散層2aとを接続する接続用拡散層11aと、縦方向の電源配線5b下のバスコン拡散層9と基板コンタクト用拡散層2bとを接続する接続用拡散層11bとは、いずれも、1つのバスコンのポリシリコン電極8の両側のバスコン拡散層9につながつた形状となるように生成される。また、図10(b)に示すように、基板コンタクト用拡散層2a、2b、バスコン拡散層9及び接続用拡散層11a、11bの表面領域には拡散層上シリサイド膜11xが設けられ、バスコンポリシリコン電極8の表面領域には電極上シリサイド膜5xが設けられた半導体装置のパターンを生成する。

【0057】ただし、サブステップST27において

9と横方向のグラント配線1a下の基板コンタクト用拡散層2aとを和の論理演算でグループ化し、レイアウト検証ツール等のセパレーションチェック機能を利用してグループ化したパターンの縦方向セパレーションを埋めるパターンを生成する。さらに、縦方向の電源配線5b下に配置したバスコン拡散層9と縦方向のグラント配線1b下の基板コンタクト用拡散層2bについても同様にグループ化し、横方向のセパレーションを埋めるパターンを生成する。その後、サブステップST28のリサイズ処理において、サブステップST27で生成されたパターンに対して、デザインルールより算出したテクノロジーに定義した拡散層の最小幅の半分の値で縮小と拡大を行ない微小パターンを除去し、接続用拡散層11a、11bを生成する。

【0058】最後に、バスコン枠13を基板7のPwellと逆導電型の不純物が導入されるイオン注入領域として出力する。

【0059】この方法によれば、バスコンのバスコン拡散層9のいずれかが電気的に浮くことがない状態で、全てのバスコン拡散層9を基板コンタクト用拡散層2a、2bに電気的に接続させることができる。すなわち、基板7（ウェル領域）と同じ導電型のMOSトランジスタを形成することができない半導体製造プロセスの場合においても、電源配線5a、5bの下方にバスコンを自動的に配置することができる。

【0060】（第4の実施形態）図11は、本発明の第4の実施形態において用いられるバスコンのパターンを示す平面図である。また、図12(a)は、本発明の第4の実施形態におけるパターンの生成方法によって生成された半導体装置のパターンを示す平面図である。図12(b)は、図12(a)のXIIb-XIIb線における部分断面図である。

【0061】図11に示すように、本実施形態におけるバスコンは、矩形のポリシリコン電極8と、ポリシリコン電極8の外方に設けられるバスコン拡散層9と、ポリシリコン電極8の上に設けられるバスコンスルーホール10とを備えている。

【0062】また、図12(a)、(b)に示すように、本実施形態における半導体装置のセルは配線の構造は、上記第1の実施形態における図8(a)、(b)に示す半導体装置の構造と同じであるが、下記点が異なる。

【0063】本実施形態の半導体装置においては、各グラント配線1a、1b下の基板コンタクト用拡散層2a、2bと、各電源配線5a、5b下のバスコン拡散層9とを接続する接続用拡散層11a、11bは、いずれも、グラント配線1a、1bに対向する辺に並ぶ全てのバスコン拡散層9と基板コンタクト用拡散層2a、2bとを接続するように、一体的に設けられている。

ンジスタのパターンも、バスコンと同様に、リング状のポリシリコン電極のパターンと、このポリシリコン電極で囲まれる領域及びポリシリコン電極の外方の領域に設けられたソース・ドレイン拡散層のパターンとを有している。

【0065】本実施形態におけるパターン形成の手順は、第1の実施形態における図1のフローチャートと本格的には同じである。

【0066】本実施形態においては、サブステップST21において図11に示すリング状ポリシリコン電極8を有する1種類のバスコンレイ16を用い、サブステップST23において、図4(a)、(b)に示すパターンに代えて、横方向の仮想電源配線パターン12aと縦方向の仮想電源配線パターン12bとを同時に仮想パターン形成領域に抽出する。そして、サブステップST24における論理演算においては、図5(a)、(b)に示す論理演算の代わりに、横方向及び縦方向の仮想電源配線パターン12a、12bとバスコンレイ16との論理演算を行なう。これにより、図6(a)、(b)に示すパターンの代わりに、各仮想電源配線パターン12a、12bに包含されるバスコン枠13cを生成する。そして、サブステップST26においては、各電源配線5a、5bの下方に、リング状のポリシリコン電極8を有するバスコンが配置された半導体装置のパターンを生成する。

【0067】さらに、サブステップST27、28の処理においては、ポリシリコン電極8の外方のバスコン拡散層9と基板コンタクト用拡散層2aとを接続する接続用拡散層11aと、バスコン拡散層9と基板コンタクト用拡散層2bとを接続する接続用拡散層11bとが、いずれも、一体化された広幅の形状となるように行なう。

【0068】ただし、サブステップST27においては、横方向の電源配線5a下に配置したバスコン拡散層9と横方向のグランド配線1a下の基板コンタクト用拡散層2aとを和の論理演算でグループ化し、レイアウト検証ツール等のセパレーションチェック機能を利用してグループ化したパターンの縦方向セパレーションを埋めるパターンを生成する。さらに、縦方向の電源配線5b下に配置したバスコン拡散層9と縦方向のグランド配線1b下の基板コンタクト用拡散層2bについても同様にグループ化し、横方向のセパレーションを埋めるパターンを生成する。

【0069】本実施形態に係るリング状ポリシリコン電極8を備えたバスコンを配置した半導体装置によれば、縦方向、横方向の電源配線5a、5bを個別に仮想パターン形成領域に生成する必要がないので、電源配線のリサイズを必要とせず、処理の簡素化が図れる。また、バスコンを電源配線5a、5b下の領域にすき間なく配置することが可能であり、より多くの容量を設けることができる。加えて、バスコン拡散層9と基板コンタクト用

拡散層2a、2bとを接続する接続用拡散層11a、11bの幅をより拡大することができ、より低抵抗のバスコンを接続することができる。

【0070】なお、本実施形態においては、四角形のポリシリコン電極を設けているが、本発明のバスコンの電極の形状はかかる実施形態に限定されるものではない。例えば、六角形や三角形あるいは円形であってもよいものとする。

【0071】

【発明の効果】本発明のパターン生成方法によれば、電源配線等のレイアウトを生成するステップが終了してから、バイパスコンデンサのパターンを電源配線のパターンに重なり合うように自動的に生成するステップを行なうことにより、電源配線のパターンに含まれるバイパスコンデンサのパターンを自動的に生成することが容易になり、高集積化され、かつ電源ノイズの小さい半導体装置を製造するためのパターンを自動的に生成することができる。

【図面の簡単な説明】

【図1】本発明の各実施形態における半導体装置の設計工程の一部をバスコンパターン生成手順の詳細と共に示すフローチャートである。

【図2】半導体装置の配線パターン等の生成処理が終了した後であって、バスコンパターンの生成前における半導体装置のパターンを示す図である。

【図3】第1の実施形態において生成されるバスコンレイの平面図である。

【図4】第1の実施形態において仮想パターン形成領域で抽出される仮想電源配線パターンを示す平面図である。

【図5】第1の実施形態において仮想パターン形成領域で抽出される仮想電源配線パターンとバスコンパターンとの重なりを示す平面図である。

【図6】第1の実施形態において仮想パターン形成領域で各仮想電源配線パターンに完全に包含されるバスコン枠のみが残された状態を示す平面図である。

【図7】第1の実施形態において仮想パターン形成領域で接続拡散層の形成前に生成される半導体装置のパターンを示す平面図である。

【図8】第1の実施形態において生成される半導体装置のパターンを示す平面図、及びIXb-IXb線における断面構造を示す部分断面図である。

【図9】本発明の第2の実施形態において生成される半導体装置のパターンを示す平面図、及びIXb-IXb線における部分断面図である。

【図10】本発明の第3の実施形態において生成される半導体装置のパターンを示す平面図、及びXb-Xb線における部分断面図である。

【図11】本発明の第4の実施形態において用いられるバスコンのパターンを示す平面図である。

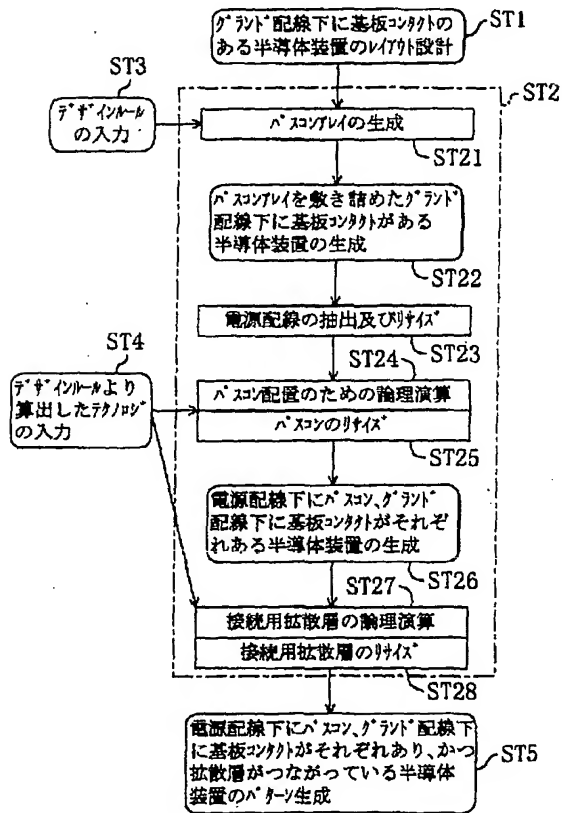
【図12】本発明の第4の実施形態において生成される半導体装置のパターンを示す平面図、及びXI1b-XI1b線における部分断面図である。

【符号の説明】

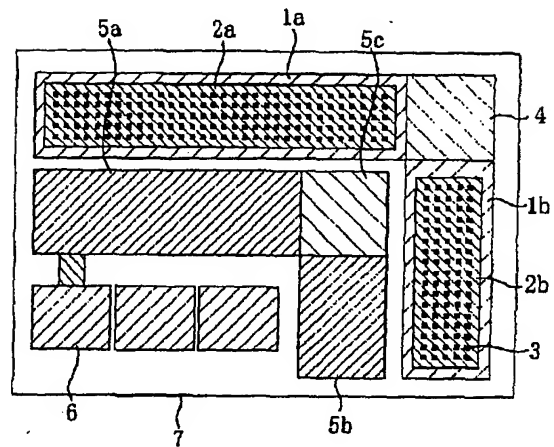
- 1 グランド配線
- 2 基板コンタクト用拡散層
- 3 基板コンタクト用スルーホール
- 4 配線乗り換えスルーホール
- 5 電源配線
- 6 基本セル

- 7 基板
- 8 ポリシリコン電極
- 9 バスコン拡散層
- 10 バスコンスルーホール
- 11 接続用拡散層
- 12 仮想電源配線パターン
- 13 バスコン枠
- 14 バスコンアレイ
- 15 バスコンアレイ

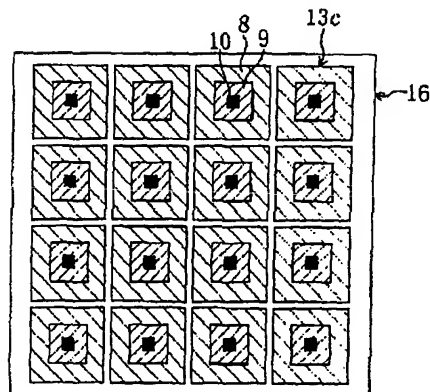
【図1】



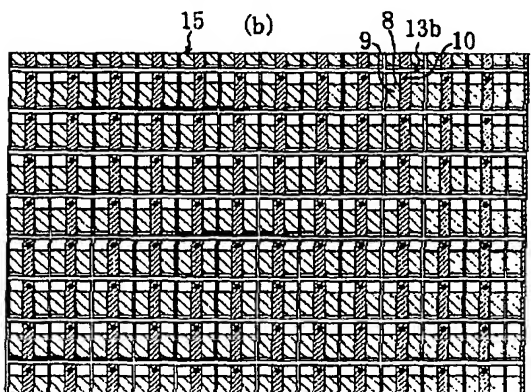
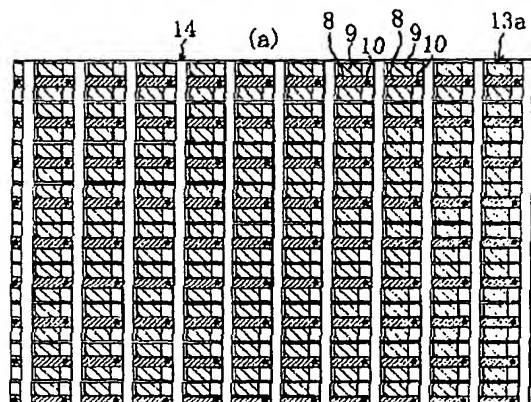
【図2】



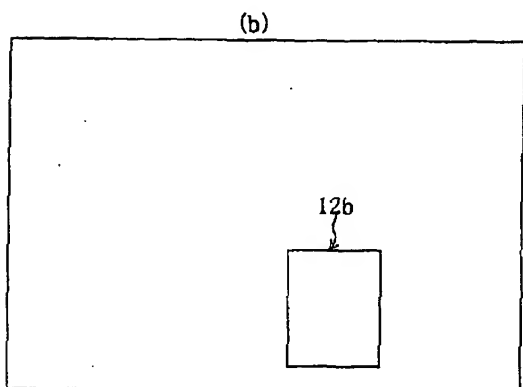
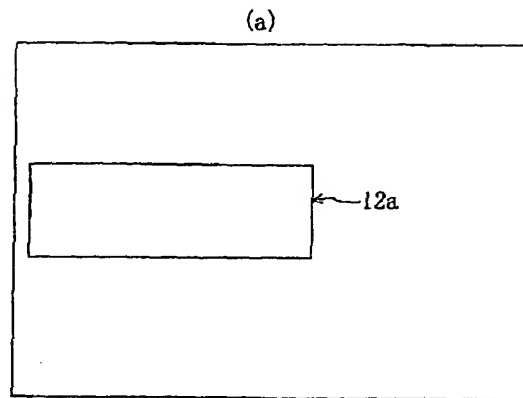
【図11】



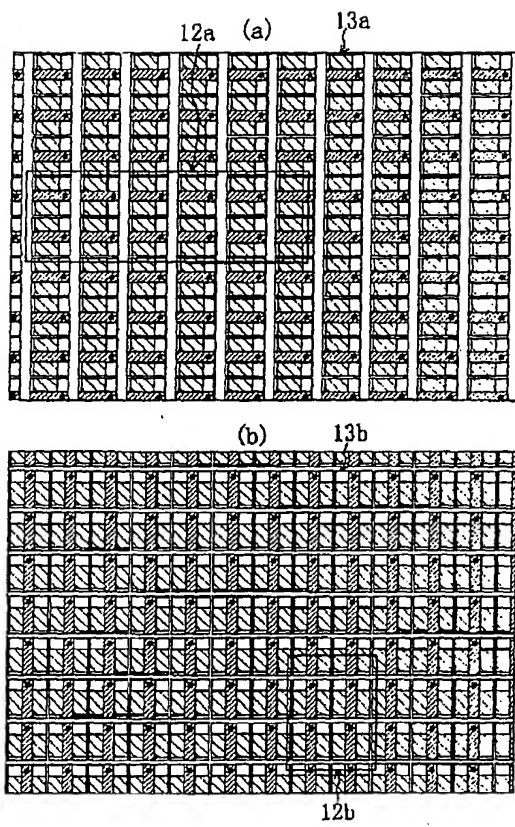
【図3】



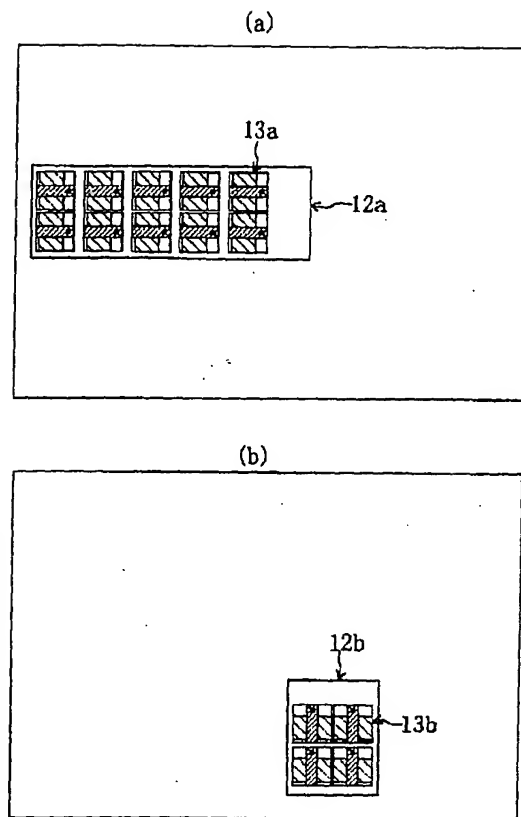
【図4】



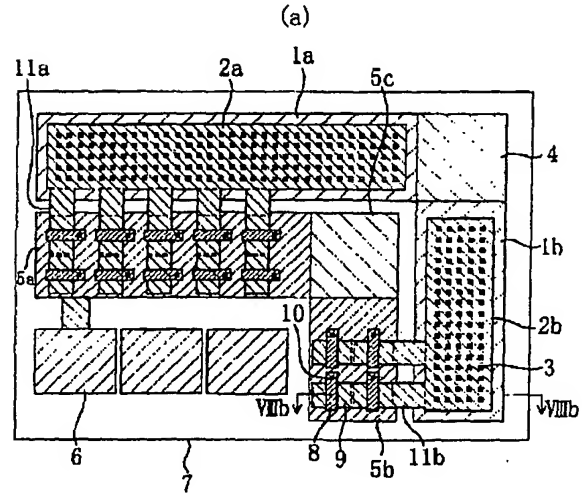
【図5】



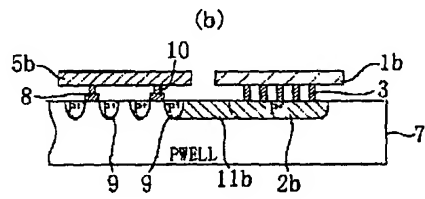
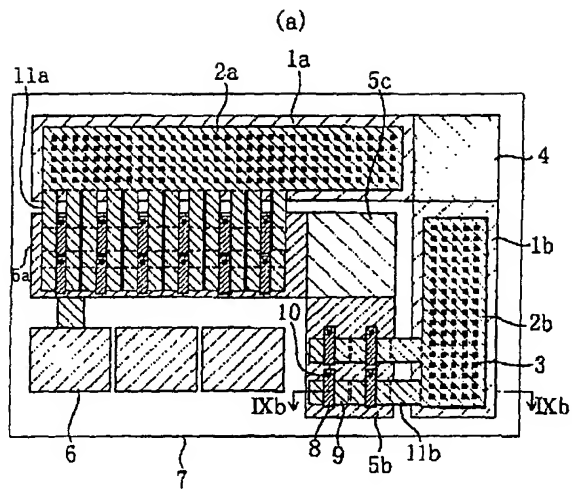
【図6】



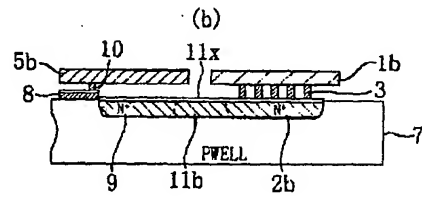
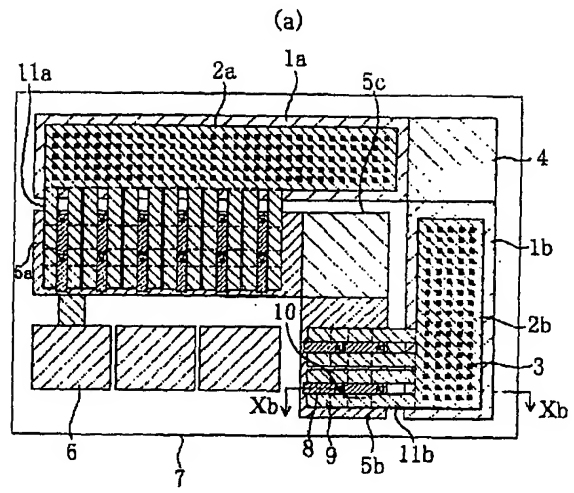
【例8】



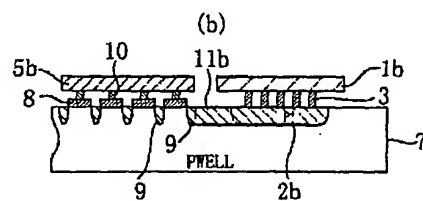
【図9】



【図10】



(a)



EE45 EE52